

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0058

Applicant: Hee Bok KANG

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: Concurrently Herewith

Art Unit: Unassigned

Title: FERROELECTRIC REGISTER, AND METHOD FOR
MANUFACTURING CAPACITOR OF THE SAME

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2003-0034708 filed May 30, 2003

Respectfully submitted,

Date: 12/15/03

By Johnny A. Kumar

Johnny A. Kumar

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0034708
Application Number

출 원 년 월 일 : 2003년 05월 30일
Date of Application MAY 30, 2003

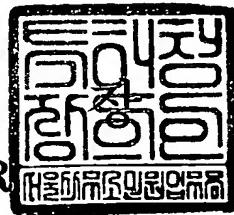
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.05.30
【국제특허분류】	H01L
【발명의 명칭】	강유전체 레지스터 및 그 캐퍼시터 제조방법
【발명의 영문명칭】	Ferroelectric register and manufacturing method of capacitor of the ferroelectric register
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	황의인
【대리인코드】	9-1998-000660-7
【포괄위임등록번호】	2003-017010-4
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 황의인 (인) 대리인 이정훈 (인)

1020030034708

출력 일자: 2003/10/13

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	14	면	14,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	7	항	333,000	원
【합계】			376,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명의 불휘발성 강유전체 레지스터 및 그 레지스터 캐패시터의 제조방법을 개시한다.

본 발명의 불휘발성 강유전체 레지스터는 데이터 저장을 위한 강유전체 캐패시터부의 캐피시터들을 단일 캐패시터가 아닌 복수개의 캐패시터들이 병렬 연결된 구조로 하여 캐패시터의 비정상상태에 따른 데이터 저장 실패 확률을 줄여줌으로써 레지스터의 저장 신뢰성 및 안정성을 높여준다. 그리고, 강유전체 레지스터의 셀 플레이트 신호를 전원전압이 아닌 펌핑전압 레벨로 펌핑시켜줌으로써 데이터의 센싱마진을 확보할 수 있게 해준다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

강유전체 레지스터 및 그 캐패시터 제조방법{Ferroelectric register and manufacturing method of capacitor of the ferroelectric register}

【도면의 간단한 설명】

도 1은 일반적인 강유전체 캐패시터의 특성을 나타내는 히스테리시스 루프를 나타내는 도면.

도 2는 일반적인 불휘발성 강유전체 메모리 장치에 따른 단위 셀을 나타내는 도면.

도 3은 정상상태와 약한상태시 강유전체 캐패시터의 특성을 나타내는 도면.

도 4는 본 발명에 따른 강유전체 레지스터의 회로구성을 상세하게 나타낸 회로도.

도 5 내지 도 8은 각각 본 발명의 제 1 실시예에 따른 강유전체 캐패시터부의 캐패시터 유닛에 대한 상세 구성을 나타내는 도면.

도 9는 본 발명에 따른 강유전체 레지스터의 파워 업 모드시 동작 타이밍도.

도 10은 본 발명의 프로그램 동작(WRITE)시 레지스터에 새로운 데이터를 셋트하기 위한 동작 타이밍도.

도 11 내지 도 14는 각각 본 발명의 제 2 실시예에 따른 강유전체 캐패시터부의 캐패시터 유닛에 대한 상세 구성을 나타내는 도면.

도 15a 및 도 15b는 4개의 병렬 강유전체 캐패시터를 스택으로 병렬 연결한 모습을 보여주는 도면.

도 16은 본 발명의 제 3 실시예에 따른 캐패시터 유닛의 구조를 나타내는 도면.

도 17은 본 발명에 따른 셀 플레이트 전압 제어부의 구성을 나타내는 회로도.

도 18은 상술된 구성의 셀 플레이트 전압 제어부의 동작을 설명하기 위한 파형도.

도 19 및 도 20은 각각 본 발명에 따른 레지스터의 파워 업 모드시 및 프로그램 동작시 타이밍도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 강유전체 레지스터에 관한 것으로서, 보다 상세하게는 리셋신호를 파워 업 타이밍의 변화와 리셋 회로에 가해지는 온도변화에 둔감하게 함으로써 동작의 안정성을 개선시킨 파워 업 리셋 회로에 관한 것이다.
- <15> 일반적으로 불휘발성 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM:Dynamic Random Access Memory) 정도의 데이터 처리 속도를 가지면서 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억 소자로 주목받고 있다.
- <16> FeRAM은 DRAM과 거의 유사한 구조를 갖는 기억소자로써 커패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류분극을 이용한 것이다. 이와 같은 잔류분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.
- <17> 도 1은 일반적인 불휘발성 강유전체 캐퍼시터의 특성을 설명하기 위한 히스테리시스 루프를 나타낸다.

- <18> 도 1에서와 같이, 불휘발성 강유전체 캐패시터는 전계에 의해 유기된 분극이 전계를 제거하더라도 잔류분극(또는 자발분극)의 존재로 인하여 소멸되지 않고 일정량(A, D)를 유지한다.
- <19> 불휘발성 강유전체 메모리 셀은 이러한 D 및 A 상태를 각각 1 및 0으로 대응시켜 기억소자로 응용한 것이다.
- <20> 도 2는 일반적인 불휘발성 강유전체 메모리 장치에 따른 단위 셀을 도시한 것이다.
- <21> 도 2에 도시된 바와 같이, 일방향으로 비트라인 BL이 형성되고, 비트라인 BL과 교차하는 방향으로 워드라인 WL이 형성되며, 워드라인 WL에 일정한 간격을 두고 평행한 방향으로 플레이트 라인 PL이 형성된다. 게이트 단자가 워드라인 WL에 연결되고 소오스 단자는 비트라인 BL에 연결되도록 NMOS 트랜지스터가 형성되고, 강유전체 커패시터 FC는 두 단자중 제 1 단자가 NMOS 트랜지스터의 드레인에 연결되고 제 2 단자는 플레이트 라인 PL에 연결되도록 형성된다.
- <22> 그런데, 이러한 강유전체 캐패시터는 도 3에서와 같이 정상상태인 경우에는 루프 A와 같은 히스테리시스 특성을 갖지만, 비정상상태(Weak)인 경우에는 그 특성이 루프 B와 같이 변형된다. 그러므로, 비정상상태에서의 잔류분극(B, C)은 정상상태(Normal)인 경우의 잔류분극(A, D)에 비해 매우 작아지게 된다.
- <23> 따라서, 비정상상태의 강유전체 캐패시터가 사용되면 그 잔류분극이 매우 작아 파워업 시 레지스터의 비휘발성 데이터 저장이 실패하는 경우가 발생될 수 있게 된다.

【발명이 이루고자 하는 기술적 과제】

<24> 따라서, 상술된 문제점을 감안한 본 발명의 목적은 강유전체 캐패시터를 사용하는 레지스터에서 데이터 저장을 위한 레지스터 캐패시터의 구조를 개선하여 보다 신뢰성있고 안정되게 데이터를 저장할 수 있도록 하는데 있다.

【발명의 구성 및 작용】

<25> 위와 같은 목적을 달성하기 위한 본 발명의 강유전체 레지스터는 풀업 인에이블 신호 활성화시 전원전압을 풀업시키는 풀업 스위치; 상기 풀업 스위치로부터 인가되는 전원전압을 구동시키는 풀업 구동부; 라이트 제어 신호에 따라 저장될 한쌍의 데이터를 인가받는 라이트 인에이블 제어부; 두개의 데이터 저장 노드에 있어서 각각의 데이터 저장 노드와 플레이트 라인 사이에 적어도 두 개의 강유전체 캐패시터가 병렬로 연결되어 셀 플레이트 신호에 따라 상기 라이트 인에이블 제어부를 통해 제공되는 데이터를 저장하는 강유전체 캐패시터부; 풀다운 인에이블 신호가 인에이블시 접지전압을 풀다운시키는 풀다운 스위치; 및 상기 풀다운 스위치로부터 인가되는 접지전압을 구동시키는 풀다운 구동부를 구비한다.

<26> 본 발명의 강유전체 레지스터의 캐패시터 제조방법은 상기 레지스터의 출력단자와 공통 연결되는 적어도 두 개의 하부 전극층을 형성하는 제 1 공정; 상기 적어도 두 개의 하부 전극층 상에 상기 적어도 두 개의 하부 전극층에 공통 대응되는 강유전체층을 형성하는 제 2 공정; 및 셀 플레이트 신호를 수신하며 상기 적어도 두 개의 하부 전극층에 공통 대응되는 상위 금속층을 상기 강유전체층 상에 형성하는 제 3 공정을 포함한다.

<27> 본 발명의 강유전체 레지스터의 캐패시터 제조방법은 셀 플레이트 신호를 인가받는 상위 금속층을 공통으로 사용하며, 상기 상위 금속층을 중심으로 상하 대칭되게 강유전체층 및 상

기 레지스터의 출력단자와 연결되는 하부 금속층을 순차적으로 적층하여 서로 다른 복수개의 캐패시터를 병렬 연결한다.

- <28> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.
- <29> 도 4는 본 발명에 따른 강유전체 레지스터의 회로구성을 상세하게 나타낸 회로도이다.
- <30> 본 발명의 강유전체 레지스터는 풀업 스위치 P1, 풀업 구동부(410), 라이트 인에이블 제어부(420), 강유전체 캐패시터부(430), 폴다운 구동부(440) 및 폴다운 스위치 N5를 구비한다.
- <31> 풀업 스위치 P1은 풀업 인에이블 신호 ENP가 활성화시 전원전압을 풀업시킨다. 이러한 풀업 스위치 P1은 전원전압단 VCC와 풀업 구동부(41) 사이에 연결되어 게이트 단자를 통해 풀업 인에이블 신호 ENP를 수신한다.
- <32> 풀업 구동부(410)는 풀업 스위치 P1으로부터 인가되는 전원전압을 구동시킨다. 이러한 풀업 구동부(410)는 풀업 스위치 P1과 라이트 인에이블 제어부(420) 사이에 위치하며, 노드 CN1, CN2 사이에 래치구조로 연결된 PMOS 트랜지스터 P2, P3를 구비한다.
- <33> 라이트 인에이블 제어부(420)는 라이트 제어 신호 ENW에 따라 저장될 한쌍의 데이터 D, /D를 인가받는다. 이러한 라이트 인에이블 제어부(420)는 한쌍의 데이터 D, /D 입력단자와 노드 CN1, CN2 사이에 각각 연결되어 공통 게이트 단자를 통해 라이트 제어 신호 ENW를 수신하는 NMOS 트랜지스터 N1, N2를 구비한다.
- <34> 강유전체 캐패시터부(430)는 셀 플레이트 신호 CPL에 따라 노드 CN1, CN2에 전압차를 발생시켜 라이트 인에이블 제어부(420)를 통해 제공되는 데이터 D, /D를 저장한다.
- <35> 이러한 강유전체 캐패시터부(430)는 적어도 두 개의 불휘발성 강유전체 캐패시터가 병렬 연결된 다수의 캐패시터 유닛 FC1 ~ FC4를 구비한다. 즉, 본 발명에서는 강유전체 캐패시

터부(430)를 적어도 두 개의 강유전체 캐패시터가 병렬 연결된 구조를 적용하여 병렬 연결된 강유전체 캐패시터들의 평균 잔류분극을 이용하여 데이터 "1" 또는 "0"을 센싱한다. 이로써, 캐패시터 유닛 FC1 ~ FC4의 어느 한 강유전체 캐패시터가 비정상상태인 경우에도 병렬 연결된 다른 강유전체 캐패시터에 의해 보상되므로, 캐패시터 유닛 FC1 ~ FC4의 평균 잔류분극은 정상상태의 데이터 센싱마진 범위내에 있게 된다.

- <36> 캐패시터 유닛 FC1의 구조는, 병렬 연결된 각 불휘발성 강유전체 캐패시터들(①, ②)의 일단은 노드 CN1과 공통 연결되고, 다른 일단을 통해 셀 플레이트 신호 CPL을 인가받는다. 캐패시터 유닛 FC2의 구조는, 병렬 연결된 각 불휘발성 강유전체 캐패시터들(③, ④)의 일단은 노드 CN2와 공통 연결되고, 다른 일단을 통해 셀 플레이트 신호 CPL을 인가받는다.
- <37> 캐패시터 유닛 FC3은 복수개의 불휘발성 강유전체 캐패시터들(⑤, ⑥)이 노드 CN1과 접지전압단 VSS 사이에 병렬 연결되고, 캐패시터 유닛 FC4는 복수개의 불휘발성 강유전체 캐패시터들(⑦, ⑧)이 노드 CN2와 접지전압단 VSS 사이에 병렬 연결된다.
- <38> 풀다운 구동부(440)는 노드 CN1, CN2 사이에 래치구조로 연결되어 풀다운 스위치 N5로부터 인가되는 접지전압을 구동시킨다. 이러한 풀다운 구동부(440)는 강유전체 캐패시터부(430)와 풀다운 스위치 N5 사이에 위치하며, 노드 CN1, CN2 사이에 래치구조로 연결된 NMOS 트랜지스터 N3, N4를 구비한다.
- <39> 풀다운 스위치 N5는 풀다운 인에이블 신호 ENN가 인에이블시 접지전압을 풀다운시킨다. 이러한 풀다운 스위치 N5는 풀다운 구동부(440)와 접지전압단 VSS 사이에 연결되어 게이트 단자를 통해 풀다운 인에이블 신호 ENN를 수신한다.
- <40> 또한, 강유전체 레지스터는 출력단 B, /B을 통해 저장된 데이터를 출력한다.

- <41> 도 5 내지 도 8은 각각 본 발명의 제 1 실시예에 따른 강유전체 캐패시터부(430)의 캐패시터 유닛 FC1 ~ FC4에 대한 상세 구성을 나타내는 도면이다.
- <42> 도 5 내지 도 8에서는 병렬 연결되는 복수개의 강유전체 캐패시터들을 나란히 옆으로 구현한 경우이다.
- <43> 도 5에서는 병렬 연결되는 두 캐패시터(①, ②)에 각각 대응되는 두 하위전극(Bottom Electrode Layer) 상에 두 하위전극에 공통으로 대응되는 하나의 강유전체층(Ferroelectric Layer)을 형성한다. 그리고, 강유전체층 상에는 강유전체 캐패시터(①, ②)의 상위전극(Top Electrode Layer)으로서 셀 플레이트 전극(또는 셀 플레이트 전극과 연결되는 금속전극)을 형성한다. 두 하위전극은 레지스터의 출력단자 /B와 전기적으로 연결된다.
- <44> 물론, 더 많은 수의 하위전극들을 나란히 두고 이에 대응되는 강유전체층 및 상위전극을 형성함으로써, 세 개 이상의 강유전체 캐패시터들을 병렬로 연결하는 캐패시터 유닛 FC1을 형성할 수도 있다.
- <45> 도 6은 본 발명의 제 1 실시예에 따른 캐패시터 유닛 FC2의 구성을 나타내는 것으로, 그 구조와 형성방법은 도 5와 동일하다. 그리고, 도 7 및 도 8은 각각 제 1 실시예에 따른 캐패시터 유닛 FC3 및 FC4의 구성을 나타내는 것으로, 상위 전극이 플레이트 전극과 연결되는 것이 아니라 접지전압단 VSS(또는 로드전원)와 연결되는 것이 상이하다.
- <46> 도 9는 본 발명에 따른 강유전체 레지스터의 파워 업 모드시 동작 타이밍도이다.
- <47> 먼저, 파워 업 이후 T1구간에서 전원전압 VCC가 일정 레벨에 도달하면 리셋신호 RESET가 발생하게 되고, 리셋신호 RESET 신호의 발생으로 파워 업 검출신호 PUP가 인에이블된다.

- <48> 이후에, 파워 업 검출신호 PUP의 인에이블에 따라 셀 플레이트 신호 CPL이 하이레벨로 천이된다. 이때, 레지스터의 강유전체 캐패시터 유닛 FC1 - FC4에 저장된 전하에 의해 셀 양단 노드 CN1과 CN2에 전압차가 발생된다.
- <49> 셀 양단 노드 CN1, CN2에 충분한 전압차가 발생하는 T2 구간에 진입하면, 풀다운 인에이블 신호 ENN는 하이로 인에이블되고 풀업 인에이블 신호 ENP는 로우로 디스에이블되어 양단 노드 CN1, CN2의 데이터를 증폭하게 된다. 이때, 증폭되는 데이터는 병렬 연결된 두 불휘발성 캐패시터의 평균치가 된다.
- <50> 이후에, T3 구간에 진입하여 셀 양단 노드 CN1, CN2의 데이터 증폭이 완료되면, 파워 업 검출신호 PUP 및 셀 플레이트 신호 CPL를 다시 로우레벨로 천이시킨다. 따라서, 파괴되었던 불휘발성 강유전체 캐패시터 유닛 FC1 또는 FC2의 데이터를 다시 복구하게 된다.
- <51> 이때, 라이트 제어신호 ENW는 로우 상태를 유지하여 외부 데이터가 다시 라이트 되는 것을 방지한다.
- <52> 도 10은 본 발명의 프로그램 동작(WRITE)시 레지스터에 새로운 데이터를 셋트하기 위한 동작 타이밍도를 나타낸다.
- <53> 명령신호가 인가되고 일정시간이 지나면, 새로운 데이터 D, /D가 입력되어 각각 캐패시터 유닛 FC1, FC2의 병렬 연결된 두 강유전체 캐패시터(①②, ③④)에 저장된다. 만약, 캐패시터 유닛 FC1, FC2이 각각 하나의 강유전체 캐패시터로만 이루어지고 그 강유전체 캐패시터가 비정상상태라면, 도 3의 B 또는 C와 같이 해당 캐패시터의 잔류분극이 데이터 센싱마진 범위를 벗어나 이로인해 레지스터의 비휘발성 데이터 저장이 실패될 수 있다.

<54> 그러나, 본 발명에서와 같이 적어도 두 개의 강유전체 캐패시터들을 병렬로 연결함으로써 그 평균치가 센싱되므로 어느 하나의 강유전체 캐패시터가 비정상상태라 하더라도 다른 정상상태의 강유전체 캐패시터에 의해 보상되게 된다.

<55> 물론, 두 강유전체 캐패시터들이 모두 비정상상태이면 역시 그 평균치도 작아 데이터 저장이 실패할 수 있으나, 두 강유전체 캐패시터가 동시에 비정상적일 가능성은 매우 낮다. 더 육이, 세 개 이상의 캐패시터들을 병렬 연결하면 그러한 가능성을 보다 줄일 수 있게 된다.

<56> 그리고, 데이터 입/출력 패드로부터 인가되는 입력 데이터가 하이에서 로우로 디스에이블되면 프로그램 사이클이 시작되어 레지스터에 새로운 데이터를 라이트하기 위한 라이트 제어 신호 ENW 및 셀 플레이트 신호 CPL이 하이레벨로 천이한다. 이때, 풀다운 인에이블 신호 ENN은 하이 상태를 유지하고, 풀업 인에이블 신호 ENP는 로우 상태를 유지한다.

<57> 상술한 바와 같이 본 발명은 강유전체 캐패시터부(430)의 각 캐패시터 유닛 FC1 ~ FC4를 복수개의 불휘발성 캐패시터를 병렬 연결시켜 구성함으로써, 데이터 저장이 실패할 확률을 현저하게 줄일 수 있게 된다.

<58> 도 11 내지 도 14는 각각 본 발명의 제 2 실시예에 따른 강유전체 캐패시터부(430)의 캐패시터 유닛 FC1 ~ FC4에 대한 상세 구성을 나타내는 도면이다.

<59>. 상술된 제 1 실시예에서는 병렬 연결되는 강유전체 캐패시터들(①②, ③④, ⑤⑥, ⑦⑧)을 옆으로 나란히 형성하여 캐패시터 유닛을 형성하였다.

<60> 본 실시예에서는 제 1 실시예에서 보다 레이아웃 면적을 줄이기 위해 병렬 연결되는 복수개의 강유전체 캐패시터들을 입체적으로 적층(stack 형)하여 각 캐패시터 유닛 FC1 ~ FC4를 형성한다.

- <61> 예컨대, 캐패시터 유닛 FC1의 구성을 나타내는 도 11에 있어서, 강유전체 캐패시터(①)에 대응되는 제 1 전극층(하위전극), 제 1 강유전체층 및 제 2 전극층(상위전극)을 순차적으로 형성하고, 제 2 전극층 상에 강유전체 캐패시터(②)에 대응되는 제 2 강유전체층과 제 3 전극층(하위전극)을 순차적으로 형성한다. 여기에서, 각 캐패시터(①, ②)의 하위전극에 해당하는 제 1 전극층과 제 3 전극층은 출력단자 /B와 전기적으로 연결되고, 제 2 전극층은 두 강유전체 캐패시터(①, ②)는 공통 상위전극으로 셀 플레이트 신호 CPL을 인가받는다.
- <62> 즉, 제 1 전극층, 제 1 강유전체층 및 제 2 전극층이 캐패시터(①)를 형성하고, 공통 상위전극으로 사용되는 제 2 전극층을 중심으로 제 1 강유전체층 및 제 1 전극층과 상하 대칭되게 제 2 강유전체층 및 제 3 전극층이 적층되어 캐패시터(②)를 형성한다. 그리고, 제 3 전극층을 출력단자 /B와 전기적으로 연결시킨다.
- <63> 이와같이 스택형으로 병렬 연결된 강유전체 캐패시터들을 형성하는 과정을 간략히 설명하면 다음과 같다.
- <64> 출력단자인 비트 라인 B, /B 상부에 콘택 플러그를 형성하고, 콘택 플러그 상부에 제 1 전극층, 제 1 강유전체층, 제 2 전극층, 제 2 강유전체층 및 제 3 전극층을 순차적으로 적층한다. 이때, 제 1 및 제 2 강유전체층은 적어도 하나 이상의 유전막을 포함하여 구성될 수 있다.
- <65> 제 3 전극층이 형성된 후 그 상부에 절연막을 형성한다. 다음에, 절연막에 상기 비트라인 B, /B의 소정 영역을 오픈시키는 제 1 콘택홀과 제 3 전극층의 소정 영역을 오픈시키는 제 2 콘택홀을 형성한다. 그리고, 그 상부에 메탈 공정을 진행하여 메탈 라인이 비트라인 B, /B 과 제 3 전극층을 공통으로 연결하는 구조를 형성한다.

- <66> 도 12는 본 발명의 제 2 실시예에 따른 캐패시터 유닛 FC2의 구성을 나타내는 것으로, 그 구조와 형성방법은 도 11과 동일하다. 그리고, 도 13 및 도 14는 각각 본 발명의 제 2 실시예에 따른 캐패시터 유닛 FC3 및 FC4의 구성을 나타내는 것으로, 제 2 전극층(공통 상위 전극)이 접지전압단 VSS와 연결되는 것이 도 5에서와 상이하다.
- <67> 상술된 실시예들에서는 두 개의 강유전체 캐패시터만을 병렬 연결하는 경우를 개시하고 있으나 그 이상의 강유전체 캐패시터들을 병렬 연결할 수 있음은 자명하다. 예컨대, 4개의 캐패시터들을 동일 평면상에 나란히 형성하거나 스택으로 형성하여 하나의 캐패시터 유닛을 형성할 수 있다.
- <68> 도 15a 및 도 15b는 4개의 강유전체 캐패시터를 병렬 연결하는 실시예를 나타내는 도면이다.
- <69> 도 15a는 도 11의 구조를 다시 이중으로 형성하고 관련 레이어들을 전기적으로 연결시킨 것이다. 물론, 도 15a와 같은 방법으로 도 11의 구조를 더 많이 적층하여 더 많은 수의 강유전체 캐패시터들을 병렬 연결할 수 있다. 도 15b는 도 5의 구조를 도 11에서와 같이 상하 대칭되게 스택형으로 형성한 경우이다.
- <70> 도 16은 본 발명의 제 3 실시예에 따른 어느 한 캐패시터 유닛의 구조를 나타내는 도면이다.
- <71> 본 실시예에서는 상술된 제 1 및 제 2 실시예에서와 달리 각 전극층을 수직방향으로 형성한 것이다.

- <72> 즉, 출력단자 /B(또는 B)와 연결되는 제 1 전극층을 수직방향으로 형성하고, 이를 공통 하부전극으로 하여 좌우 대칭되게 제 1 강유전체층과 제 2 전극층(캐패시터 ①) 및 제 2 강유 전체층과 제 3 전극층(캐패시터 ②)을 각각 수직방향으로 형성한다.
- <73> 상술된 바와 같은 구조의 강유전체 레지스터에서 셀 플레이트 신호 CPL로 외부 전원전압 VCC가 아닌 펌핑전압 VPP를 인가하여 센싱마진을 안정적으로 확보하는 것이 바람직하다.
- <74> 도 17은 본 발명에 따른 강유전체 레지스터의 셀 플레이트 신호 CPL을 펌핑전압 VPP 수준까지 상승시키기 위한 셀 플레이트 전압 제어부의 구성을 나타내는 회로도이다.
- <75> 본 발명의 셀 플레이트 전압 제어부는 지연부(510), 펌핑부(520) 및 레벨 제어부(530)를 구비한다.
- <76> 지연부(510)는 셀 플레이트 제어신호 CPL_VPP_CON를 비반전 지연하여 지연신호 DLY를 출력하는 인버터 체인 IV1 ~ IV4를 구비한다.
- <77> 펌핑부(520)는 전원전압 제어신호 VCC_CON의 인가시 지연부(510)의 지연신호에 따라 전원전압 VCC를 펌핑하여 펌핑전압 VPP 레벨의 펌핑신호를 출력한다. 이러한 펌핑부(520)는 낸드게이트 ND1, 지연부(521), 모스 캐패시터 C1, 구동부(522) 및 풀업 구동소자인 PMOS 트랜지스터 P5를 구비한다.
- <78> 여기에서, 낸드게이트 ND1은 전원전압 제어신호 VCC_CON과 지연신호 DLY를 낸드연산하며, 지연부(621)는 낸드게이트 ND1의 출력신호를 반전 지연하는 인버터 체인 IV5 ~ IV 7을 구비한다. 모스 캐패시터 C1은 PMOS 트랜지스터 P5의 활성화에 따라 전원전압 VCC 레벨로 프리차지된 펌핑신호 CPL_VPP의 전압 레벨을 펌핑하며, PMOS 트랜지스터 P5는 전원전압 VCC 인가단과 모드 캐패시터 C1의 출력단 사이에 연결되어 게이트 단자를 통해 구동부(522)의

출력신호를 수신한다. 구동부(522)는 PMOS 트랜지스터 P5의 드레인 단자와 접지전압단 VSS 사이에 직렬 연결되어 공통 게이트 단자를 통해 낸드 게이트 ND1의 출력신호를 수신하는 PMOS 트랜지스터 P4와 NMOS 트랜지스터 N6을 구비한다.

<79> 레벨 제어부(530)는 인버터 IV8, IV9, 레벨 쉬프터(531) 및 구동부(532)를 구비한다.

<80> 인버터 IV8은 셀 플레이트 제어신호 CPL_VPP_CON을 반전하며, 인버터 IV9는 인버터 IV8의 출력신호를 반전한다.

<81> 레벨 쉬프터(531)는 래치 구조의 PMOS 트랜지스터 P6, P7 및 NMOS 트랜지스터 N7, N8을 구비하여, 인버터 IV8, IV9의 출력상태에 따라 펌핑신호 CPL_VPP를 레벨 쉬프팅한다. 레벨 쉬프터(531)에서, PMOS 트랜지스터 P6, P7은 공통 소스 단자를 통해 펌핑 신호 CPL_VPP가 인가되고, 게이트 단자가 서로의 드레인 단자와 크로스 커플로 연결된다. NMOS 트랜지스터 N7은 PMOS 트랜지스터 P6의 드레인 단자와 접지전압 VSS 사이에 연결되어 게이트 단자를 통해 인버터 IV8의 출력신호를 수신한다. NMOS 트랜지스터 N8은 PMOS 트랜지스터 7의 드레인 단자와 접지전압 VSS 사이에 연결되어 게이트 단자를 통해 인버터 IV9의 출력신호를 수신한다.

<82> 구동부(532)는 레벨 쉬프터(531)의 출력신호에 따라 펌핑신호 CPL_VPP를 구동시켜 셀 플레이트 신호 CPL을 출력한다. 이러한 구동부(532)는 PMOS 트랜지스터 P8 및 NMOS 트랜지스터 N9를 구비한다. PMOS 트랜지스터 P8 및 NMOS 트랜지스터 N9는 펌핑신호 CPL_VPP 인가단과 접지전압 VSS 인가단 사이에 직렬 연결되어 공통 게이트 단자를 통해 레벨 쉬프터(531)의 출력을 수신한다. PMOS 트랜지스터 P8 및 NMOS 트랜지스터 N9는 공통 드레인 단자를 통해 셀 플레이트 신호 CPL을 출력한다.

<83> 도 18은 상술된 구성의 셀 플레이트 전압 제어부의 동작을 설명하기 위한 파형도이다.

- <84> 먼저, 저전압 영역에서 전원전압 VCC를 펌핑하기 위해 전원전압 제어신호 VCC_CON 및 셀 플레이트 제어신호 CPL_VPP_CON가 하이 레벨로 입력된다. 이러한 경우, 셀 플레이트 제어신호 CPL_VPP_CON는 지연부(510)에 의해 일정시간(D) 동안 지연되어 지연신호 DLY로서 출력된다.
- <85> 따라서, 지연시간(D) 동안에는 전원전압 제어신호 VCC_CON은 하이레벨이 되나, 지연신호 DLY는 로우 레벨을 유지하게 되어 낸드게이트 ND1의 출력은 하이레벨이 된다.
- <86> 낸드게이트 ND1의 출력에 의해 구동부(522)의 NMOS 트랜지스터 N6이 턴온되고, 이로 인해 PMOS 트랜지스터 P5가 턴온되어 모스 캐패시터 C1의 출력단이 전원전압 VCC로 프리차지된다. 이에 따라, 모스 캐패시터 C1의 출력에 의해 펌핑신호 CPL_VPP는 전원전압 VCC 레벨을 유지하게 된다.
- <87> 그리고, 셀 플레이트 제어신호 CPL_VPP_CON가 하이레벨일 경우, 레벨 쉬프터(531)는 NMOS 트랜지스터 N11의 턴온에 의해 로우 레벨의 신호를 출력한다. 따라서, 구동부(532)의 PMOS 트랜지스터 P10이 턴온되어 셀 플레이트 신호 CPL이 전원전압 VCC 레벨로 출력된다.
- <88> 이어서, 지연시간(D)이 경과되면 지연부(21)의 출력 DLY이 하이로 인에이블되어 낸드게이트 ND1의 출력은 로우레벨이 된다. 이로 인해, 구동부(522)의 PMOS 트랜지스터 P4가 턴온되고 PMOS 트랜지스터 P5는 턴오프된다. 이에 따라, 모스 캐패시터 C1의 출력에 의해 전원전압 VCC가 펌핑되어 펌핑 신호 CPL_VPP는 펌핑전압 VPP 레벨로 출력된다.
- <89> 다음에, 레벨 쉬프터(531)의 출력이 로우 레벨인 상태에서, 구동부(532)의 PMOS 트랜지스터 P8이 턴온된다. 따라서, 하이레벨의 펌핑신호 CPL_VPP에 의해 셀 플레이트 신호 CPL은 펌핑전압 VPP 레벨로 출력된다.

- <90> 도 19 및 도 20은 각각 본 발명에 따른 레지스터의 파워 업 모드시 및 프로그램 동작시 타이밍도를 나타낸다.
- <91> 도 19 및 도 20에서의 레지스터의 동작은 셀 플레이트 전압 제어부의 동작에 의해 셀 플레이트 전압이 펌핑전압 VPP 수준으로 펌핑된 것을 제외하고는 도 9 및 도 10과 동일하므로 그에 대한 상세한 설명은 생략한다.

【발명의 효과】

- <92> 상술한 바와 같이, 본 발명의 강유전체 레지스터는 레지스터의 캐패시터를 단일 캐패시터가 아닌 복수개의 캐패시터를 병렬 연결한 구조로 하여 캐패시터의 비정상상태에 따른 데이터 저장 실패 확률을 줄여줌으로써 레지스터의 저장 신뢰성 및 안정성을 높일 수 있게 된다. 더욱이, 강유전체 레지스터의 셀 플레이트 신호를 전원전압이 아닌 펌핑전압 레벨로 펌핑시켜 줌으로써 데이터의 센싱마진을 확보할 수 있게 해준다.

【특허청구범위】**【청구항 1】**

풀업 인에이블 신호 활성화시 전원전압을 풀업시키는 풀업 스위치;

상기 풀업 스위치로부터 인가되는 전원전압을 구동시키는 풀업 구동부;

라이트 제어 신호에 따라 저장될 한쌍의 데이터를 인가받는 라이트 인에이블 제어부;

두개의 데이터 저장 노드에 있어서 각각의 데이터 저장 노드와 플레이트 라인 사이에 적어도 두 개의 강유전체 캐패시터가 병렬로 연결되어 셀 플레이트 신호에 따라 상기 라이트 인에이블 제어부를 통해 제공되는 데이터를 저장하는 강유전체 캐패시터부;

풀다운 인에이블 신호가 인에이블시 접지전압을 풀다운시키는 풀다운 스위치; 및

상기 풀다운 스위치로부터 인가되는 접지전압을 구동시키는 풀다운 구동부를 구비하는 강유전체 레지스터.

【청구항 2】

제 1 항에 있어서,

셀 플레이트 제어신호 및 전원전압 제어신호에 따라 상기 셀 플레이트 신호를 전원전압 레벨에서 펌핑전압 레벨로 펌핑시키는 셀 플레이트 전압 제어부를 더 구비하는 것을 특징으로 하는 강유전체 레지스터.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 강유전체 캐패시터부는

상기 적어도 두 개의 강유전체 캐패시터들이 동일 평면상에 강유전체층을 포함하도록 구성됨을 특징으로 하는 강유전체 레지스터.

【청구항 4】

제 1 항 또는 제 2 항에 있어서, 상기 강유전체 캐패시터부는
상기 적어도 두 개의 강유전체 캐패시터들이 공통 전극을 사이에 두고 상하로 적층되어
구성되는 것을 특징으로 하는 강유전체 레지스터.

【청구항 5】

제 2 항에 있어서, 상기 셀 플레이트 전압 제어부는
상기 셀 플레이트 제어신호를 일정시간 동안 지연한 지연신호를 출력하는 지연부;
상기 전원전압 제어신호 인가시 상기 지연신호에 따라 전원전압을 펌핑하여 펌핑전압 레
벨의 펌핑신호를 출력하는 펌핑부; 및
상기 펌핑신호 및 상기 셀 플레이트 제어신호를 레벨 쉬프팅하여 펌핑된 상기 셀 플레이
트 신호를 출력하는 레벨 제어부를 구비하는 것을 특징으로 하는 강유전체 레지스터.

【청구항 6】

제 1 항에 있어서, 강유전체 캐패시터부는
두 개의 데이터 저장 노드에 있어서 각각의 데이터 저장 노드와 로드전원 도는 접지전원
사이에 적어도 두 개의 강유전체 캐패시터가 병렬로 연결되는 것을 특징으로 하는 강유전체
레지스터.

【청구항 7】

강유전체 레지스터의 캐패시터 제조방법에 있어서,
비트라인 B, /B 상부에 콘택 플러그를 형성하는 제 1 공정;

상기 콘택 플러그 상부에 제 1 전극층, 제 1 강유전체층, 제 2 전극층, 제 2 강유전층

및 제 3 전극층을 순차적으로 적층하는 제 2 공정;

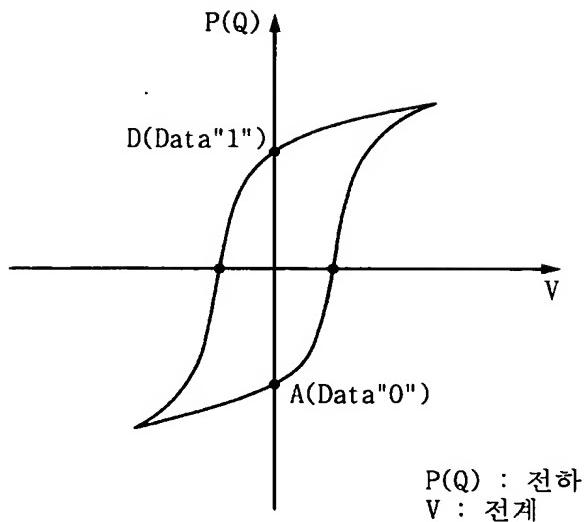
상기 제 3 전극층 상부에 절연막을 형성하는 제 3 공정;

상기 절연막에 상기 비트라인의 소정 면적을 오픈시키는 제 1 콘택홀과 상기 제 3 전극
층을 오픈시키는 제 2 콘택홀을 형성하는 제 4 공정; 및

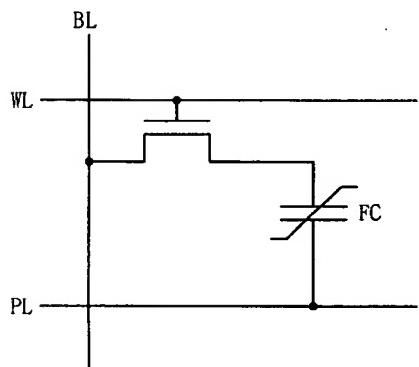
상기 제 1 및 제 2 콘택홀이 형성된 상부에 메탈 공정을 진행하여 메탈 라인을 상기 비
트라인과 상기 제 3 전극층에 전기적으로 공통 연결되도록 하는 제 5 공정을 포함하는 강유전
체 레지스터의 캐패시터 제조방법.

【도면】

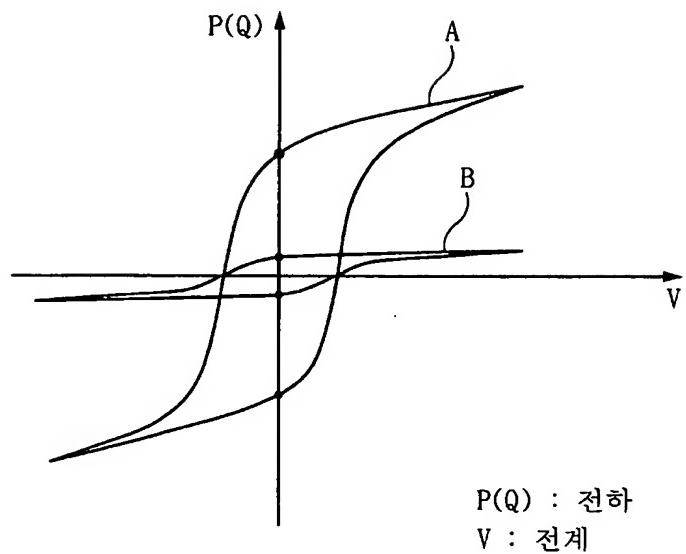
【도 1】



【도 2】



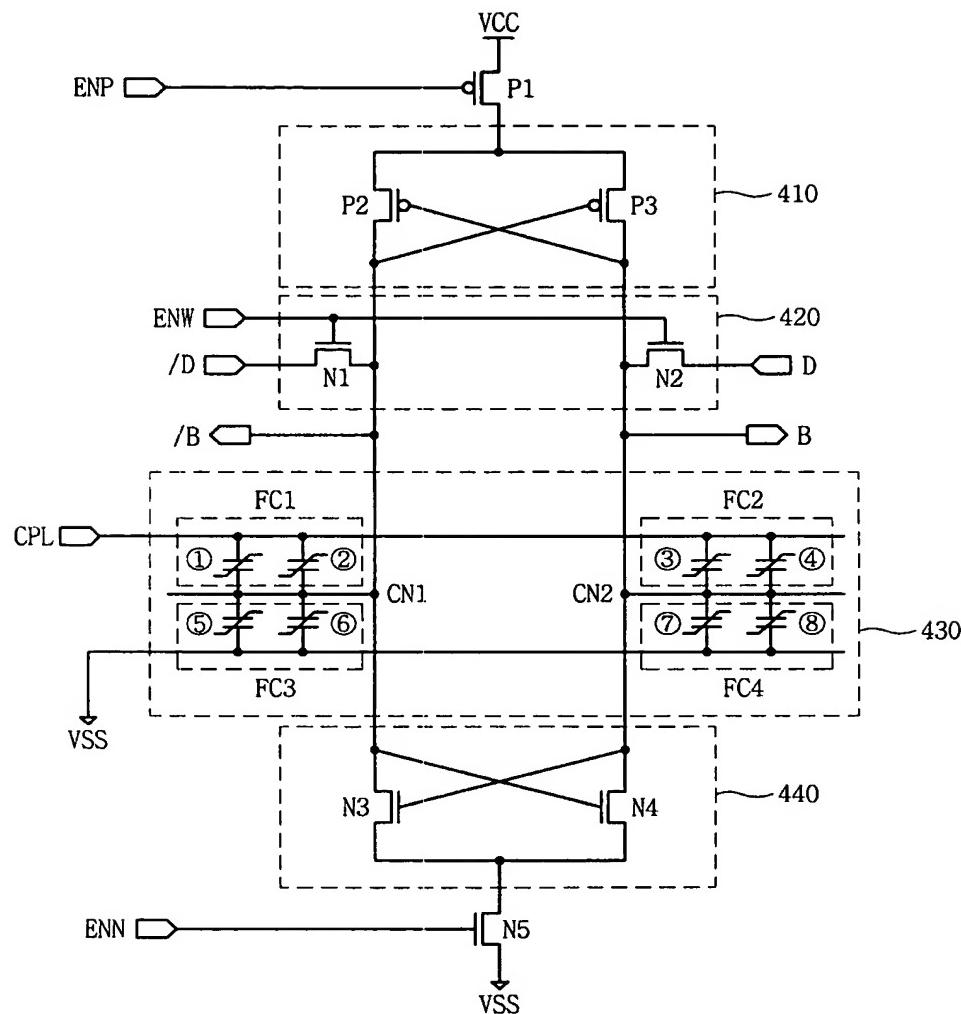
【도 3】



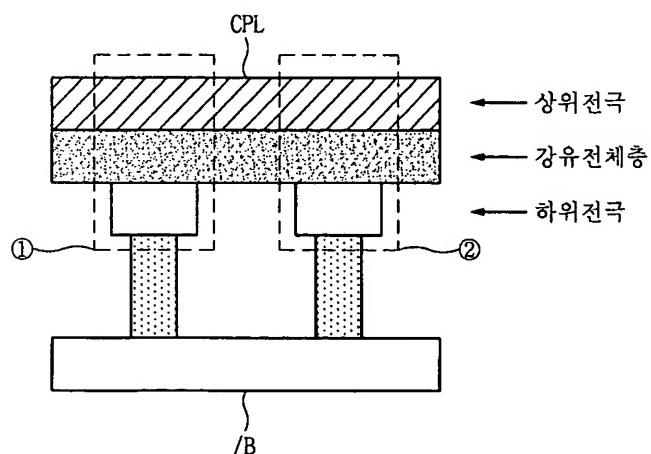
$P(Q)$: 전하

I : 전류

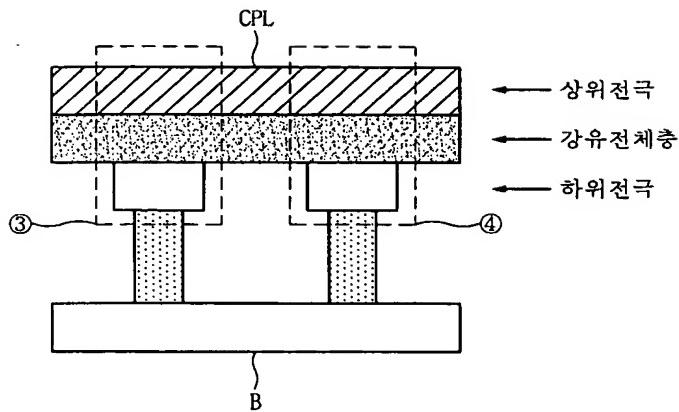
【도 4】



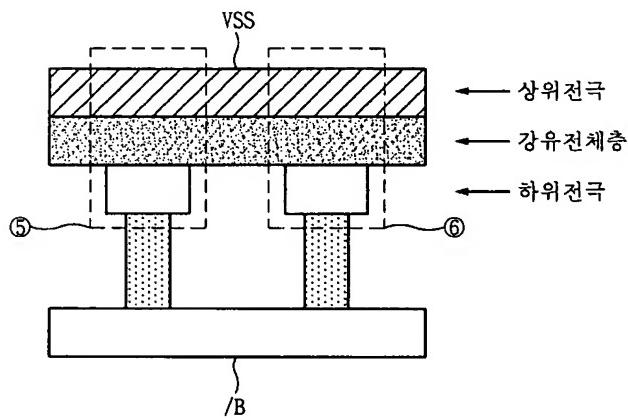
【도 5】



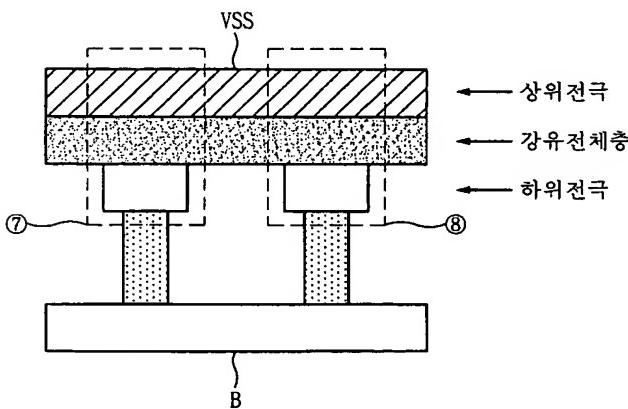
【도 6】



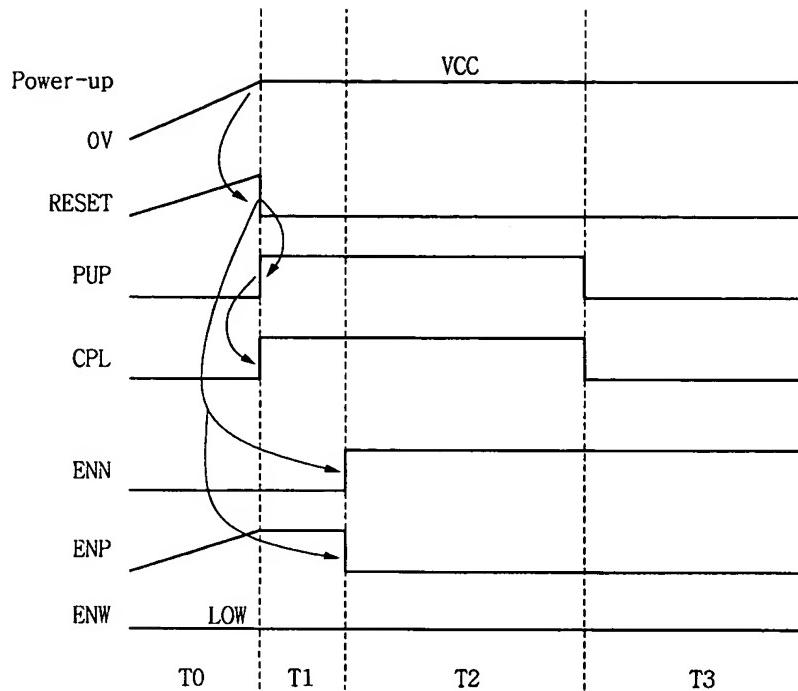
【도 7】



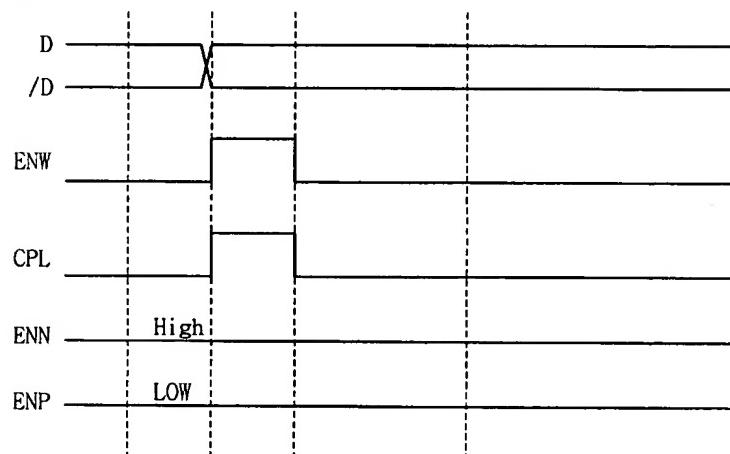
【도 8】



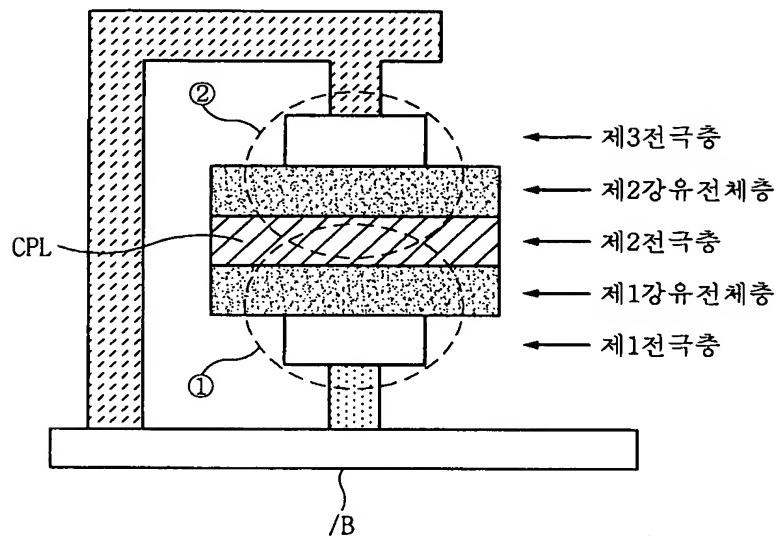
【도 9】



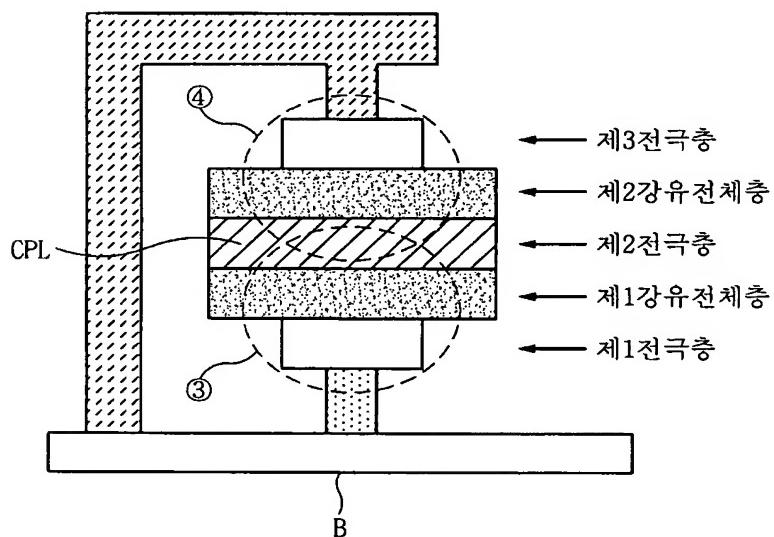
【도 10】



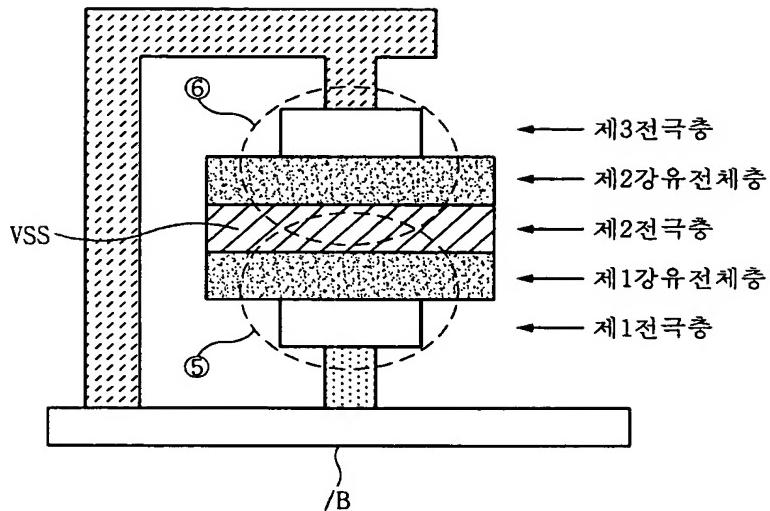
【도 11】



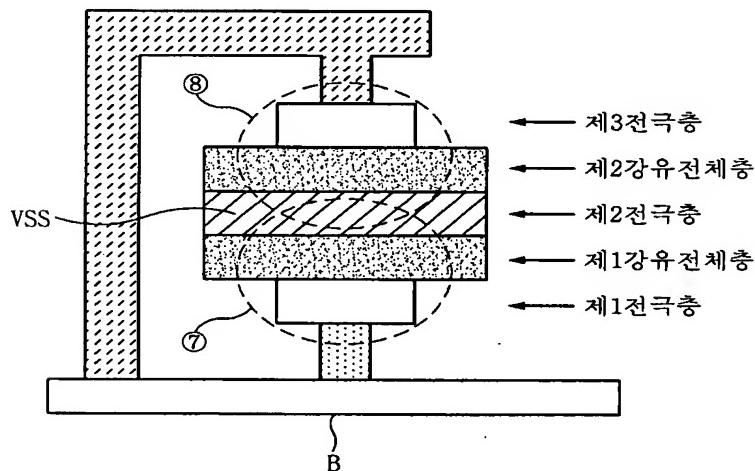
【도 12】



【도 13】



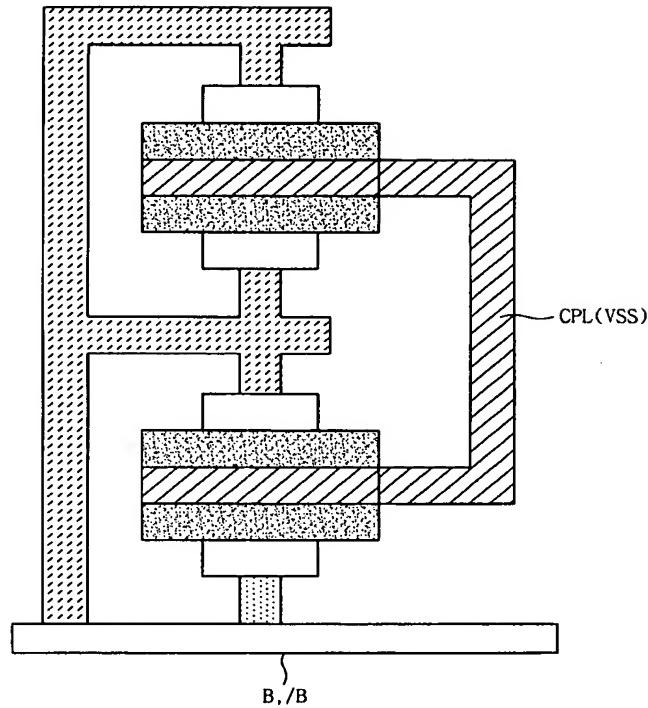
【도 14】



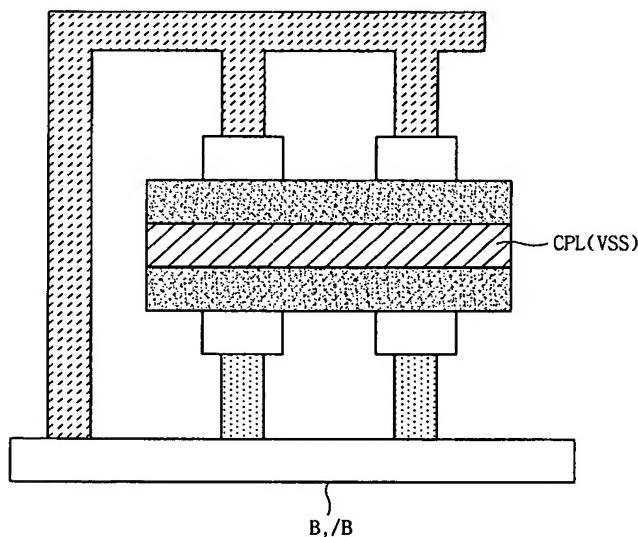
1020030034708

출력 일자: 2003/10/13

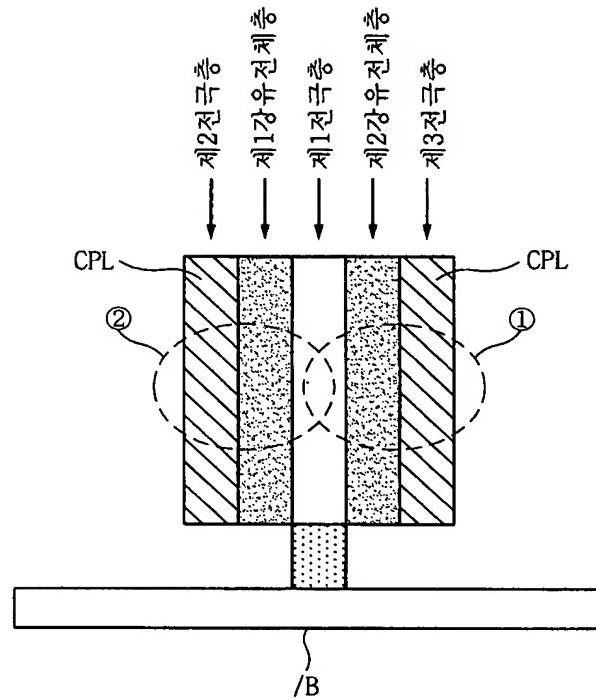
【도 15a】



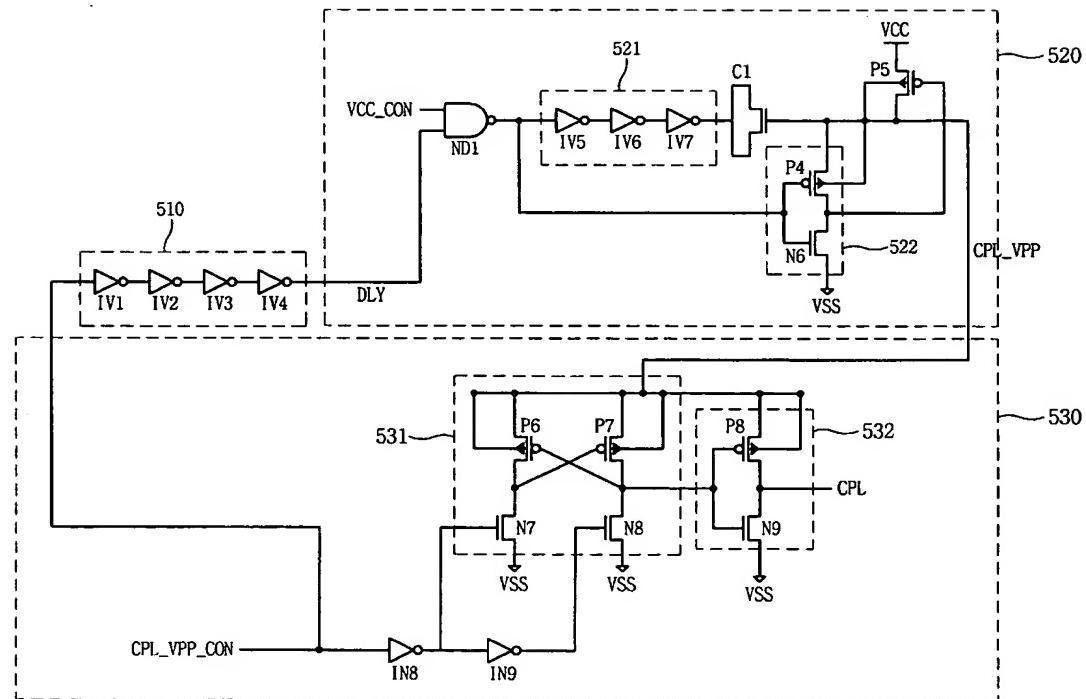
【도 15b】



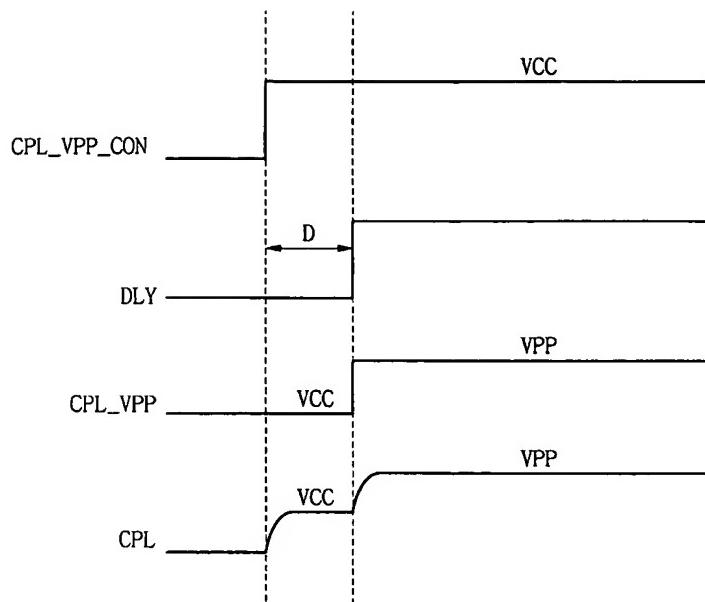
【도 16】



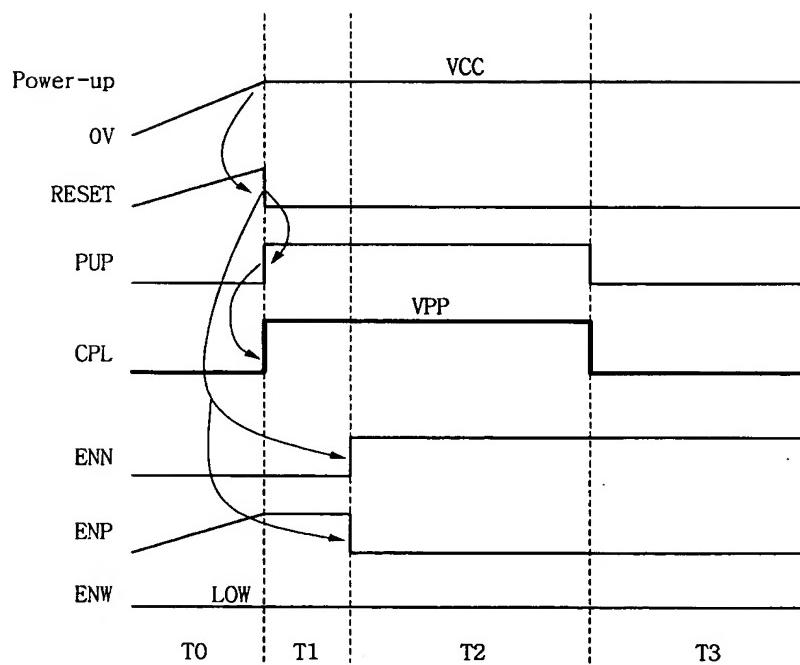
【도 17】



【도 18】



【도 19】



1020030034708

출력 일자: 2003/10/13

【도 20】

